

INSULATING GATE-TYPE SEMICONDUCTOR DEVICE

Patent Number: JP2001127287
Publication date: 2001-05-11
Inventor(s): SHIRAI KOJI
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP2001127287
Application Number: JP19990306053 19991027
Priority Number(s):
IPC Classification: H01L29/78; H01L29/786
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an insulating gate-type semiconductor device where surge quantity resistance is improved so that yield current by surge do not flow just below a gate electrode.

SOLUTION: The n--type silicon layer 1c of an SOI substrate 1 is divided by an element separation area 2, and a high resistance drain layer 3 is formed. A p-type base layer 4 is formed on the surface of the drain layer 3 and an n+-type source layer 5 is formed in the base layer 4. An n+-type drain contact layer 6 is formed in a position detached from the base layer 4 of the drain layer 3. A peripheral surface near the element separation area 2 of the base layer 4 is set to be a channel area 7 and a gate electrode 9 is formed in the area through a gate insulating film 8. A source electrode 11 is formed so that it is simultaneously brought into contact with the source layer 5 and the base layer 4 between the gate electrode 9 and the drain contact layer 6.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127287

(P2001-127287A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) IntCl.

識別記号

F I

テマコード (参考)

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 D 5 F 0 4 0

29/786

6 1 6 S 5 F 1 1 0

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平11-306053

(22) 出願日 平成11年10月27日 (1999. 10. 27)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 白井 浩司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100092820

弁理士 伊丹 勝

Fターム (参考) 5F040 DA24 DC01 EB01 EB12 EB14

EE01 EF18

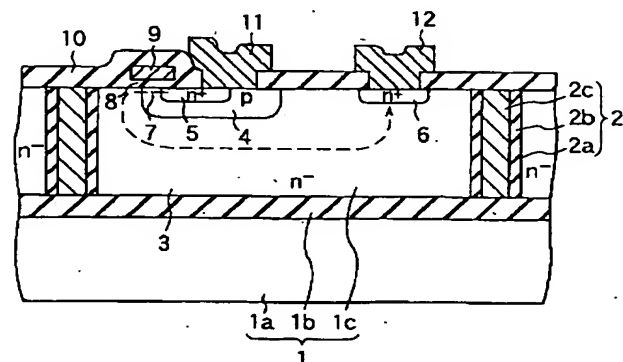
5F110 AA22 DD05 DD13 GG02 GG12

(54) 【発明の名称】 絶縁ゲート型半導体装置

(57) 【要約】

【課題】 サージによる降伏電流がゲート電極直下を流れないようにしてサージ耐量を改善した絶縁ゲート型半導体装置を提供する。

【解決手段】 SOI基板1のn⁻型シリコン層1cが素子分離領域2により区画されて高抵抗ドレイン層3が形成される。このドレイン層3の表面にp型ベース層4が形成され、このベース層4内にn⁺型ソース層5が形成される。ドレイン層3のベース層4から離れた位置にn⁺型ドレイン・コンタクト層6が形成される。ベース層4の素子分離領域2に近い方の周縁表面をチャネル領域7として、ここにゲート絶縁膜8を介してゲート電極9が形成される。ソース電極11は、ゲート電極9とドレイン・コンタクト層6との間でソース層5とベース層4に同時にコンタクトするように形成される。



【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板に素子分離領域により区画された第1導電型のドレイン層と、

このドレイン層の表面に形成された第2導電型のベース層と、

前記ドレイン層の表面に前記ベース層から離れて形成された第1導電型のドレイン・コンタクト層と、

前記ベース層の表面に選択的に形成された第1導電型のソース層と、

前記ベース層の前記素子分離領域に近い側の周縁表面をチャネル領域として、このチャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ソース層とベース層にコンタクトするソース電極と、を有することを特徴とする絶縁ゲート型半導体装置。

【請求項2】 前記半導体基板は、支持基板と、この支持基板上に第1の絶縁膜により支持基板と分離された状態で形成された第1導電型の半導体層とを有し、前記ドレイン層は、前記半導体層の一部が前記素子分離領域により囲まれたものであることを特徴とする請求項1記載の絶縁ゲート型半導体装置。

【請求項3】 前記素子分離領域は、前記ドレイン層を囲んで前記第1の絶縁膜に達する深さに形成された素子分離溝と、この素子分離溝の少なくとも側壁に形成された第2の絶縁膜とを有することを特徴とする請求項2記載の絶縁ゲート型半導体装置。

【請求項4】 前記ベース層とソース層は、前記ゲート電極を拡散マスクの一部として用いた不純物の二重拡散により形成されていることを特徴とする請求項1記載の絶縁ゲート型半導体装置。

【請求項5】 前記ベース層及びソース層は、前記ドレイン・コンタクト層を挟んで二箇所に配置されていることを特徴とする請求項1記載の絶縁ゲート型半導体装置。

【請求項6】 前記ベース層、ソース層及びゲート電極は、前記ドレイン・コンタクト層を取り囲んでリング状に形成されていることを特徴とする請求項1記載の絶縁ゲート型半導体装置。

【請求項7】 半導体基板と、

この半導体基板に素子分離領域により区画された第1導電型の第1ベース層と、

この第1ベース層の表面に形成された第2導電型の第2ベース層と、

前記第1ベース層の表面に前記第2ベース層から離れて形成された第2導電型のドレイン層と、

前記第2ベース層の表面に選択的に形成された第1導電型のソース層と、

前記第2ベース層の前記素子分離領域に近い側の周縁表面をチャネル領域として、このチャネル領域上にゲート

絶縁膜を介して形成されたゲート電極と、

前記ソース層と第2ベース層にコンタクトするように形成されたソース電極と、を有することを特徴とする絶縁ゲート型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アナログICの出力回路等に用いて好適な絶縁ゲート型半導体装置に関する。

【0002】

【従来の技術】アナログICの出力回路として、図6に示すように、nチャネルMOSトランジスタQ1、Q2を用いて構成したものがよく用いられる。nチャネルMOSトランジスタを用いるのは、pチャネルに比べて電流駆動能力が高く、またサージ耐性も高いからである。これらの出力回路トランジスタQ1、Q2に好適な構造として、SOI (Silicon-On-Insulator) 基板に形成されるDMOS (Double-Diffused MOS) トランジスタが知られている。

【0003】図7は、SOI基板1を用いたDMOSトランジスタ構造を示している。SOI基板のn型シリコン層1cの一部が素子分離領域2により囲まれて高抵抗ドレイン層3となる。素子分離領域2は、シリコン層1cの底部絶縁膜1bに達する深さに溝2aを形成し、その側壁に絶縁膜2bを形成して多結晶シリコン2cを埋め込んで形成される。これにより高抵抗ドレイン層3は、他の素子領域から完全に誘電体分離される。

【0004】高抵抗ドレイン層3の表面にp型のベース層4が形成され、このベース層4の表面にn+型のソース層5が形成される。高抵抗ドレイン層3には、ベース層4から所定距離離れてn+型のドレイン・コンタクト層6が形成される。ベース層4のソース層5と高抵抗ドレイン層3により挟まれた領域をチャネル領域7として、この上にゲート絶縁膜8を介してゲート電極9が形成される。ソース電極11はソース層5とp型ベース層4に同時にコンタクトするように形成される。ドレイン・コンタクト層6にはドレイン電極12が接続される。

【0005】DMOSトランジスタの実際の製造工程では、ベース層4とソース層5とは、ゲート電極9を拡散マスクの一部とする不純物の二重拡散により形成され、これらのベース層4とソース層5の拡散深さの差によりチャネル領域7がゲート電極9に対して自己整合的に形成される。

【0006】アナログICの出力回路では特に、ESD (Electrostatic-Discharge) 耐量 (サージ耐量) に対する要求が厳しい。上述したDMOSトランジスタを用いた場合のサージ耐量を改善する方法として従来は、ソース・ドレイン間隔を大きくして、トランジスタ耐圧そのものを高くする方法、トランジスタ面積を大きくしてその寄生容量によりサージパルスを吸収する方法、等が

考えられている。

【0007】

【発明が解決しようとする課題】しかし、従来のサージ耐量の改善の方法は、素子面積を大きくする割には、サージ耐量の改善効果が小さいという問題があった。特に、図7に示すように、SOI基板を用いたDMOSTランジスタでは、素子領域が完全に絶縁分離されていて、寄生トランジスタ等により基板にサージ電流を流す経路は形成されない。従って、サージ電流が全て素子内部を流れ、これがサージ耐量の改善を難しくしている。

【0008】特に問題になるのは、図8に示すように、サージによる降伏電流の一部が、破線で示すように、ゲート絶縁膜8を通りゲート電極9に抜けることである。即ち、通常のDMOSTランジスタ構造では、ソース電極11とドレイン電極12の間にゲート電極9が配置される。このため、ドレインからソースに抜ける降伏電流はp型ベース層4のゲート電極9の直下を通り、ベース層4での電圧降下によりチャネル領域7が電位上昇する。この結果、降伏電流の一部がゲート電極9に抜けるために、ゲート絶縁膜8が破壊される。

【0009】この発明は、上記事情を考慮してなされたもので、サージによる降伏電流がゲート電極直下を流れないようにしてサージ耐量を改善した絶縁ゲート型半導体装置を提供することを目的としている。

【0010】

【課題を解決するための手段】この発明に係る絶縁ゲート型半導体装置は、半導体基板と、この半導体基板に素子分離領域により区画された第1導電型のドレイン層と、このドレイン層の表面に形成された第2導電型のベース層と、前記ドレイン層の表面に前記ベース層から離れて形成された第1導電型のドレイン・コンタクト層と、前記ベース層の表面に選択的に形成された第1導電型のソース層と、前記ベース層の前記素子分離領域に近い側の周縁表面をチャネル領域として、このチャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、このゲート電極とドレイン層との間に配置されて前記ソース層とベース層にコンタクトするソース電極と、を有することを特徴とする。

【0011】この発明においては、ベース層のドレイン・コンタクト層に近い側の周縁ではなく、素子分離領域に近い側の周縁表面をチャネル領域として用いることにより、ドレイン・コンタクト層との関係でゲートとソースの配置が従来のMOSTランジスタとは逆になる。従ってこの発明によるMOSTランジスタでは、サージによるドレイン・ソース間の降伏電流は、ゲート電極直下を通ることなくソース電極に抜ける。このため、従来のようなゲート電極直下の電位上昇、その結果としてのゲート絶縁膜を通るゲート電極への電流突き抜けが生じることはなく、サージによるゲート絶縁膜破壊という事故が抑制される。

【0012】この発明において好ましくは、半導体基板は、支持基板と、この支持基板上に第1の絶縁膜により支持基板と分離された状態で形成された第1導電型の半導体層とを有するSOI基板とする。この場合ドレイン層は、半導体層の一部が素子分離領域により囲まれたものである。またこの発明において好ましくは、素子分離領域は、ドレイン層を囲んで第1の絶縁膜に達する深さに形成された素子分離溝と、この素子分離溝の少なくとも側壁に形成された第2の絶縁膜とを有するものとする。

【0013】またこの発明において、ベース層とソース層は例えば、ゲート電極を拡散マスクの一部として用いた不純物の二重拡散により形成され、これによりDMOSTランジスタが得られる。ベース層及びソース層は、ドレイン・コンタクト層を挟んで二箇所に配置されてもよいし、或いはベース層、ソース層及びゲート電極が、ドレイン・コンタクト層を取り囲んでリング状に形成されてもよい。

【0014】この発明に係る絶縁ゲート型半導体装置はまた、半導体基板と、この半導体基板に素子分離領域により区画された第1導電型の第1ベース層と、この第1ベース層の表面に形成された第2導電型の第2ベース層と、前記第1ベース層の表面に前記第2ベース層から離れて形成された第2導電型のドレイン層と、前記第2ベース層の表面に選択的に形成された第1導電型のソース層と、前記第2ベース層の前記素子分離領域に近い側の周縁表面をチャネル領域として、このチャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ソース層と第2ベース層にコンタクトするように形成されたソース電極とを備えて、IGBT (Insulated Gate Bipolar Transistor) として構成することもできる。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。以下の実施の形態では、第1導電型としてn型、第2導電型としてp型を用いるが、各部の導電型を逆にしてもよい。

【実施の形態1】図1Aはこの発明の実施の形態によるDMOSTランジスタの平面図であり、図1Bは図1AのA-A'断面図である。半導体基板1はこの実施の形態の場合、支持基板としてのp型シリコン基板1aと、この上にシリコン酸化膜等の絶縁膜1bを介して形成されたn型シリコン層1cとからなるSOI基板である。このSOI基板1は具体的には、シリコン基板の直接接着技術により作られる。

【0016】このSOI基板1のシリコン層1cの中に、素子分離領域2により囲まれた高抵抗のドレイン層3が区画される。素子分離領域2はこの実施の形態の場合、底部絶縁膜1bに達する深さに素子分離溝2aを形成し、この溝2aの側壁にシリコン酸化膜等の絶縁膜2bを形成して、多結晶シリコン2cを埋め込んで構成さ

れている。これによりドレイン層3は他の領域から完全に誘電体分離される。

【0017】高抵抗ドレイン層3は細長い矩形パターンに区画されており、その表面の長手方向の一端寄りに矩形のp型ベース層4が形成され、このベース層4から離れてドレイン層3の長手方向の他端寄りに矩形のn⁺型ドレイン・コンタクト層6が形成されている。p型ベース層4のドレイン・コンタクト層6側とは反対の周縁寄りには矩形のn⁺型ソース層5が形成されている。図1Bに示すように、ソース層5とドレイン・コンタクト層6を横切るA-A'断面では、ベース層4の周縁は、ドレイン・コンタクト層6に近い方と素子分離領域2に近い方の2箇所あるが、そのうち素子分離領域2に近い方の周縁表面をチャンネル領域7として、この上にゲート絶縁膜8を介してゲート電極9が形成されている。

【0018】なお実際の製造工程では、ベース層4及びソース層5より先にゲート電極9が作られる。そしてゲート電極9を不純物拡散マスクの一部として用いて（即ち図1Bにおいて、ゲート電極9の右側エッジをマスク開口のエッジとして）、p型不純物とn型不純物の二重拡散を行うことにより、ベース層4とソース層5を形成する。これにより、ゲート電極9に自己整合された形でチャンネル領域7が形成される。

【0019】拡散層とゲート電極が形成された基板上は絶縁膜10で覆われ、これにコンタクト孔が開けられて、ソース層5及びドレイン・コンタクト層6にそれぞれコンタクトするソース電極11及びドレイン電極12が形成される。ソース電極11はソース層5と同時に、ベース層4にもコンタクトさせる。これにより、DMOSTランジスタのバルク領域であるベース層4は、ソースと同電位に固定されることになる。

【0020】以上のようにこの実施の形態では、p型ベース層4のドレイン・コンタクト層6から遠い方の周縁（言い換えれば、素子分離領域2に近い側の周縁）の表面をチャンネル領域7としている。即ち、ソース電極11とドレイン電極12の間にゲート電極9が配置される通常の電極配置と異なり、この実施の形態ではゲート電極9、ソース電極11、ドレイン電極12の順に配置される。従ってゲート電極9に正のバイアスを与えてDMOSTランジスタをオンさせたとき、ソースからドレインに流れる電子電流は、図1Bに破線で示したように流れる。即ち、ソース層5から流れ出る電子電流は、ドレイン・コンタクト層6から離れる方向にチャンネル領域7を通過してドレイン層3に入り、ベース層4の側面を迂回しながらその底面下を流れて、ドレイン・コンタクト層6まで流れる。

【0021】この実施の形態のDMOSTランジスタにおいて、サージによりドレイン・ソース間に降伏電流が流れる様子を、従来の図8(a)と対応させて図8(b)に示した。この実施の形態の場合、ゲート電極9

がソース電極11の外側にあるから、破線で示すように降伏電流はゲート電極9の直下を流れることがなく、ソース電極11に抜ける。これにより、サージによるゲート絶縁膜の破壊が防止され、高いESD耐性が得られる。

【0022】[実施の形態2] 図2Aはこの発明の別の実施の形態によるDMOSTランジスタの平面図であり、図2Bは図2AのA-A'断面図である。先の実施の形態と対応する部分には先の実施の形態と同じ符号を付して詳細な説明は省く。この実施の形態では、素子分離された高抵抗ドレイン層3の表面の長手方向両端部にp型ベース層4a、4bが形成され、これらのベース層4a、4bのそれぞれにn⁺型ソース層5a、5bが形成されている。n⁺型ドレイン・コンタクト層6は、二つのベース層4a、4bの中間位置に一つ形成されている。ベース層4a、4bのドレイン・コンタクト層6から遠い方の周縁表面がそれぞれチャンネル領域7a、7bとされ、ここにゲート絶縁膜8を介してゲート電極9a、9bが形成されている。

【0023】この実施の形態のDMOSTランジスタ構造は、先の実施の形態のゲート及びソース部分をドレインを挟んで対称的に二つ配置したものである。但しゲート電極9a、9bは、図2Aに示すように同じ多結晶シリコン膜等により連続的にパターン形成される。ソース層5a、5bとベース層4a、4bにコンタクトするソース電極11a、11bも同様に、図2Aに示したように連続的にメタル膜によりパターン形成される。

【0024】この実施の形態のDMOSTランジスタ構造は、先の実施の形態に比べて電流容量を大きいものとする場合に有効である。サージ耐量については、先の実施の形態と同様の理由で改善される。

【0025】[実施の形態3] 図3は、更に別の実施の形態によるDMOSTランジスタの平面図である。断面図は先の実施の形態の図2Bと同じになるので省略した。この実施の形態では、p型ベース層4、更にその中のn⁺型ソース層5が、ドレイン・コンタクト層6を取り囲むようにリング状に拡散形成されている。そして、ベース層4の外周部表面を全てチャンネル領域7として、ゲート電極9もリング状にパターン形成されている。その他、先の実施の形態1、2と同様である。この実施の形態によっても、先の実施の形態と同様の効果が得られる。

【0026】[実施の形態4] ここまでの実施の形態は、多数キャリアの伝導を利用する通常のMOSTランジスタであるが、この発明は導電変調型のMOSTランジスタ、即ちバイポーラ動作をするIGBTにも同様に適用可能である。図4はその様な実施の形態のIGBT断面構造を、実施の形態1の図1Bに対応させて示している。実施の形態1と異なる点は、実施の形態1のn⁺

型ドレイン・コンタクト層6の部分、p⁺型ドレイン層42となることである。また実施の形態1の高抵抗ドレイン層3は、この実施の形態では機能的には第1ベース層41となり、実施の形態1と同様のp型ベース層4が第2ベース層となる。平面図は図1Aと同様であるので省略する。

【0027】IGBTにおいては、動作上、ゲート駆動によりソース層5からの電子注入と、電子がドレイン層42に到達することによるドレイン層42からのホール注入とによる導電変調が起こる点が通常のMOSトランジスタと異なる。そして導電変調の効果により、低いオン電圧が得られる。そしてこのIGBTの場合も、先の各実施の形態と同様の理由でサージ耐量が高いものとなる。IGBTについて、実施の形態2或いは実施の形態3と同様のレイアウトを採用することももちろん有効である。

【0028】【実施の形態5】図5は、実施の形態1を変形した実施の形態のDMOSトランジスタの断面を図1Bに対応させて示している。この実施の形態の半導体基板1はSOI基板ではなく、支持基板としてのp型シリコン基板51aにn型シリコン層51bを例えばエピタキシャル成長させたエピタキシャル基板を用いている。また素子分離領域2も誘電体分離でなく、シリコン基板1に達するp⁺型拡散層52を形成したpn接合分離を利用している。その他は、実施の形態1と同様である。この実施の形態によっても、ゲート、ソース、ドレインの配置関係により、先の実施の形態と同様にサージ耐量が高いものとなる。このpn接合分離の構造で実施の形態2、3と同様のレイアウトを採用した場合も同様である。

【0029】

【発明の効果】以上述べたようにこの発明によれば、サージによる降伏電流がゲート電極直下を流れないように拡散層及び電極のレイアウトを考慮することにより、サージ耐量を改善した絶縁ゲート型半導体装置を得ることができる。

【図面の簡単な説明】

【図1A】実施の形態1によるDMOSトランジスタの平面図である。

【図1B】図1AのA-A'断面図である。

【図2A】実施の形態2によるDMOSトランジスタの平面図である。

【図2B】図2AのA-A'断面図である。

【図3】実施の形態3によるDMOSトランジスタの平面図である。

【図4】実施の形態4によるIGBTの断面図である。

【図5】実施の形態5によるDMOSトランジスタの断面図である。

【図6】出力回路の構成例である。

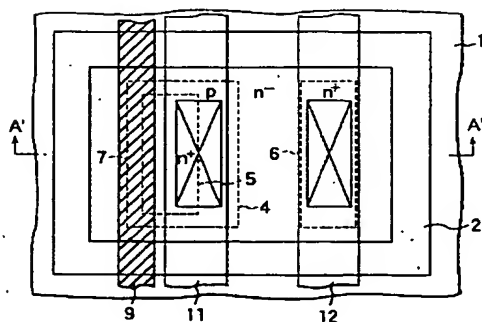
【図7】同出力回路に用いられるDMOSトランジスタの断面図である。

【図8】従来のDMOSトランジスタと実施の形態のDMOSトランジスタのサージによる降伏電流の流れる様子を示す図である。

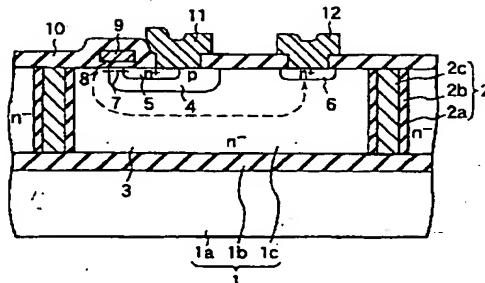
【符号の説明】

1…半導体基板、1a…支持基板、1b…絶縁膜、1c…シリコン層、2…素子分離領域、2a…素子分離溝、2b…絶縁膜、2c…多結晶シリコン、3…高抵抗ドレイン層、4…p型ベース層、5…n⁺型ソース層、6…n⁺型ドレイン・コンタクト層、7…チャネル領域、8…ゲート絶縁膜、9…ゲート電極、10…絶縁膜、11…ソース電極、12…ドレイン電極。

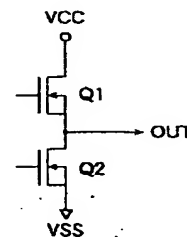
【図1A】



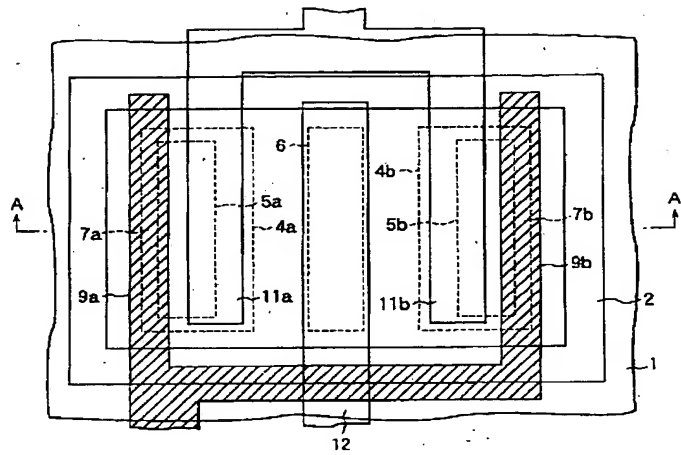
【図1B】



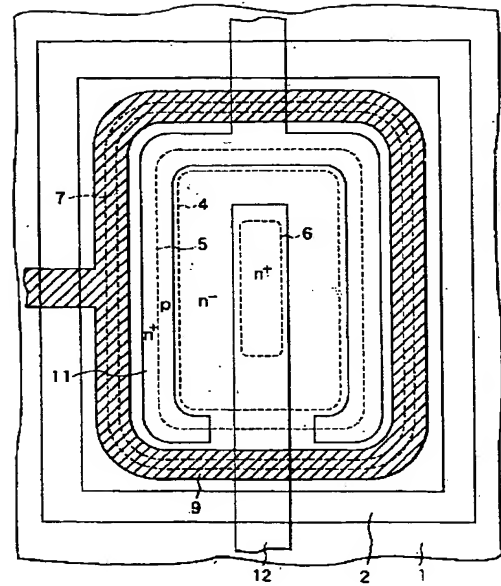
【図6】



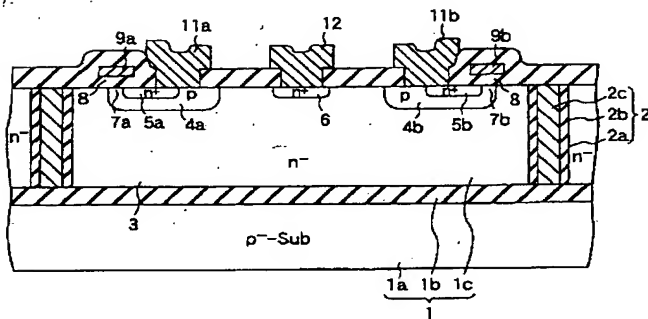
【図2A】



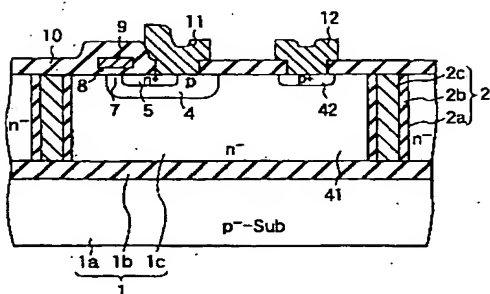
【図3】



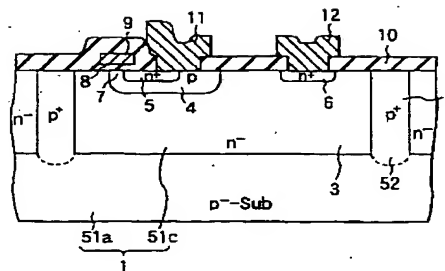
【図2B】



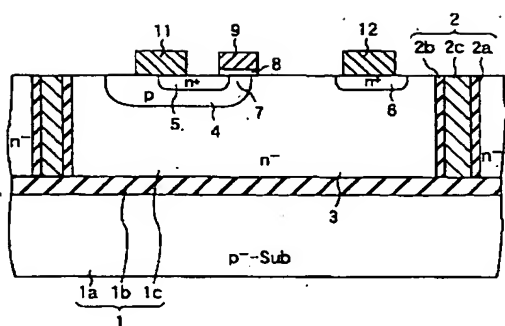
【図4】



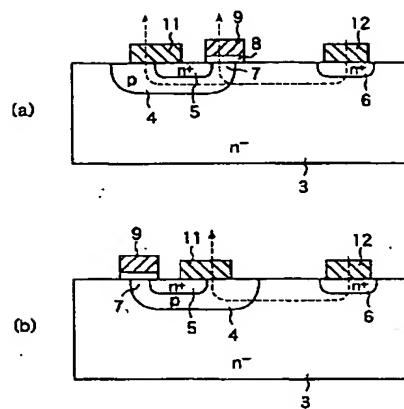
【図5】



【图 7】



・【図8】



THIS PAGE BLANK (USPTO)